

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Mu-kyeng JUNG et al. :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: April 15, 2004 : Attorney Docket No. SEC.1127  
For: SEMICONDUCTOR DEVICE INCLUDING METAL ITNERCONNECTION  
AND METAL RESISTOR AND METHOD OF MANUFACTURING THE  
SAME

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
**Customer Window, Mail Stop Patent Application**  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date  
under the International Convention of the following Korean application:

Appln. No. 2003-0030510 filed May 14, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: April 15, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0030510  
Application Number

출원 년 월 일 : 2003년 05월 14일  
Date of Application MAY 14, 2003

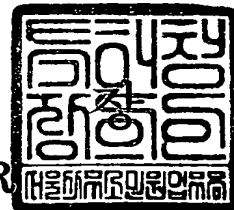
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.05.14
【국제특허분류】	H01L
【발명의 명칭】	금속 배선 및 금속 저항을 포함하는 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Manufacturing method and apparatus for semiconductor device having metal resistor and metal wire
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	정무경
【성명의 영문표기】	JUNG,Mu Kyeng
【주민등록번호】	710507-1845811
【우편번호】	442-738
【주소】	경기도 수원시 팔달구 영통동 청명마을4단지아파트 405동 1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	이경태
【성명의 영문표기】	LEE,Kyung Tae
【주민등록번호】	650127-1019413

【우편번호】	427-040
【주소】	경기도 과천시 별양동 주공아파트 409동 1203호
【국적】	KR
【발명자】	
【성명의 국문표기】	안정훈
【성명의 영문표기】	AHN, Jeong Hoon
【주민등록번호】	710123-1841216
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 467-18 우성캐릭터 316호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	38 면 38,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	26 항 941,000 원
【합계】	1,008,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

금속 배선 및 금속 저항을 포함하는 반도체 소자 및 그 제조 방법을 제공한다. 본 발명의 일 관점에 의한 제조 방법은, 절연층에 의해 둘러싸인 구리층을 포함하는 하부 배선을 형성하고, 절연층 상에 하부 배선을 덮어 보호하는 캡층(capping layer)을 형성한다. 캡층에 하부 배선의 상측 표면을 선택적으로 노출하는 오프닝창(opening window)을 형성하고, 오프닝창을 통해 하부 배선의 상측 표면에 접촉하는 금속 저항을 형성한다.

**【대표도】**

도 23

**【명세서】****【발명의 명칭】**

금속 배선 및 금속 저항을 포함하는 반도체 소자 및 그 제조 방법{Manufacturing method and apparatus for semiconductor device having metal resistor and metal wire}

**【도면의 간단한 설명】**

도 1은 전형적인 반도체 소자에 구성되는 저항의 요구되는 특성을 설명하기 위해서 개략적으로 도시한 회로도이다.

도 2 내지 도 4는 종래의 금속 저항을 배선과 연결시킬 때 발생할 수 있는 문제점을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 5 내지 도 10은 본 발명의 제1실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 11a 및 도 11b는 본 발명의 제1실시예에 의한 금속 저항의 패턴 형상을 설명하기 위해서 개략적으로 도시한 평면도들이다.

도 12 내지 도 14는 본 발명의 제2실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 15 내지 도 18은 본 발명의 제3실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 19 내지 도 22는 본 발명의 제4실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 23은 본 발명의 제5실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 24는 본 발명의 제6실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 반도체 소자 제조에 관한 것으로, 특히, 금속 배선에 전기적으로 연결되는 금속 저항(metal resistor)을 형성하는 방법 및 이에 의한 구조에 관한 것이다.
- <11> 최근 유무선 통신의 비약적인 발전으로 인하여 아날로그(analog) 또는 혼성(mixed) 신호 응용을 위한 반도체 소자가 시스템 온 칩(system on chip)화하고 있고, 반도체 소자에 구성되는 저항의 고품질화가 요구되고 있다. 특히, 반도체 소자의 특성 제고를 위해서 반도체 소자에 구성되는 저항들 간의 우수한 매칭 특성이 요구되고 있다.
- <12> 도 1은 전형적인 반도체 소자에 구성되는 저항의 요구되는 특성을 설명하기 위해서 개략적으로 도시한 회로도이다.
- <13> 도 1을 참조하면, 반도체 소자의 동작 특성을 제고하기 위해서는 기본적으로 저항들(11, 13) 간의 매칭(matching) 특성이 우수한 것이 기본적으로 요구된다. 이러한 저항들(11, 13) 간의 매칭 특성을 우수하게 구현하기 위해서는, 저항의 패터닝 과정이 균일한 저항 패턴을 구현하도록 수행되고 또한 구현되는 저항의 특성 산포가 균일해야 하는 것이 우선되어야 한다. 특

히, 저항의 특성 산포는 반도체 소자를 제조하는 데 채용되는 다른 공정들에 의한 영향이 최소화되어야 가능하다.

<14> 이제까지의 반도체 소자의 저항은 주로 폴리 실리콘(polycrystalline silicon)이나 반도체 소자의 활성 영역(active)을 이용한 저항으로 구현되고 있다. 그런데, 이러한 폴리 실리콘이나 활성 영역으로 이루어지는 저항은 패턴 형성에 어려움이 있어 정확한 저항 제어가 어렵고, 형성 후 다른 공정에 영향을 받아 그 특성이 변화되기 쉬운 취약점을 가지고 있다. 이러한 폴리 실리콘이나 활성 영역으로 이루어지는 저항의 제약을 극복하기 위해서 금속 저항(metal resistor)을 사용하려는 시도들이 다양하게 제시되고 있다. 예를 들어, 일본 공개특허 공보 2002-231891호("반도체 장치의 제조 방법", 2002년 8월 16일 공개)"는 알루미늄 합금막에 연결되는 금속 저항을 형성하는 방법을 제시하고 있다.

<15> 이와 같이 금속 저항을 사용하려는 시도가 제시되고 있으나, 고품질을 요구하는 반도체 소자에 이러한 금속 저항이 실질적으로 채용되기에는 아직 많은 극복해야할 문제점들이 있다. 예를 들어, 반도체 소자의 다층 배선 구조를 형성하는 과정에서 콘택(contact)을 이용하여 통해서 배선 간의 전기적인 연결을 도모하고 있는 데, 이러한 콘택과 금속 저항 간의 연결에 공정 상 많은 제약이 발생하고 있다. 예를 들어, 콘택을 위한 콘택홀을 형성하는 식각 과정에서 콘택홀의 오픈(open)을 보장하기 위한 식각(over etch)에 의해서 금속 저항이 크게 소실될 수 있는 데, 이러한 점이 금속 저항의 전기적인 안정성 또는 신뢰성에 큰 나쁜 영향을 미치게 된다.

<16> 도 2 내지 도 4는 콘택을 이용하여 금속 저항을 배선과 연결시킬 때 발생할 수 있는 문제점을 설명하기 위해서 개략적으로 도시한 단면도들이다.



<17> 도 2 내지 도 4를 참조하면, 전형적인 다층 배선 구조의 경우, 먼저, 제1절연층(21)을 관통하는 제1배선(31)이 형성되고, 금속 저항(50)이 제1절연층(21) 상에 보호층(41)을 사이에 두고 형성된다. 그리고, 금속 저항(50)을 덮고 제1배선(31) 상으로 연장되는 식각 저지층(etch stopper:45)이 형성된다. 식각 저지층(45) 상에 제2절연층(25)이 형성되고 제2절연층(25)을 관통하는 콘택홀들(27, 29)이 금속 콘택(metal contact) 과정에 따른 식각 과정으로 형성되게 된다.

<18> 이러한 식각 과정은 도 2에 제시된 바와 같이 금속 저항(50) 상에 존재하는 식각 저지층(45) 부분을 먼저 노출하게 된다. 이때까지 제1배선(31) 상에 정렬된 제1콘택홀(27)과 금속 저항(50)과 배선과의 연결을 위한 제2콘택홀(29)은 실질적으로 동일한 깊이까지 식각되게 된다. 그러나, 제1콘택홀(27)은 제1배선(31)의 상측 표면을 실질적으로 노출시켜야 하므로, 도 3에 제시된 바와 같이 식각 과정은 계속하여 더 수행되게 된다. 이러한 계속된 식각에 의해서 제1콘택홀(27) 또한 식각 저지층(45)을 노출하게 되고, 노출된 식각 저지층(45)을 선택적으로 제거하기 위해서 식각 과정은 계속 수행되고, 이에 따라, 제2콘택홀(29)은 금속 저항(50)을 노출하게 된다.

<19> 그런데, 식각 저지층(45)의 제거에도 불구하고 제1콘택홀(27)은 제1배선(31)을 노출시키지 못하고 단지 보호층(41)만을 노출시키게 된다. 따라서, 제1배선(31)을 노출하기 위해서 식각 과정은 계속 더 수행된다. 그런데, 이러한 계속 더 수행되는 식각 과정에 의해서 이미 노출된 금속 저항(50)은 침식되게 된다. 따라서, 제2콘택홀(29)에 노출되는 금속 저항 부분(53)의 두께는 금속 저항(50)에 비해 매우 얇게 되거나 심지어 완전히 소실되게 된다.

<20> 제1콘택(37) 및 제2콘택(39)은 이와 같이 형성된 콘택홀들(27, 29)을 각각 채우도록 형성되고, 이러한 콘택(37, 39)에 각각 연결되게 제3절연층(27)을 관통하여 제2배선(35)이 형성

된다. 금속 저항(50)과 제2콘택(39)간에 접촉하는 부분을 통해서 결국 제2배선(35)과 금속 저항(50)이 전기적으로 연결된다. 이때, 금속 저항(50)의 식각된 얇은 부분(도 24의 53)에도 제2콘택(39)이 접촉하나, 실질적으로 제2콘택(39)을 통해 흐르는 전류는 금속 저항(50)의 식각된 측면 부분(55)을 통하여 대부분 흐르게 된다.

<21> 이와 같이 제2콘택(39)과 금속 저항(50) 사이에 전류가 대부분 흐르게 되는 부분이 금속 저항(50)의 측면 부분(55)으로 제약되는 것은, 결국, 금속 저항(50)과 제2콘택(39) 간의 유효 접촉 면적이 제약되는 것을 의미하고 또한 이러한 측면 부분(55)에 전류의 흐름이 집중되는 것을 의미한다. 이와 같이 측면 부분(55)으로 전류가 집중되는 것은 이 부분(55)에서의 금속 저항(50)의 국부적인 발열 등을 유발하여 이 부분(55)과 제2콘택(39) 간의 접촉 상태에 불량을 일으키게 된다. 이에 따라, 금속 저항(50)과 제2콘택(39) 간의 전기적인 연결 상태가 매우 열악해지거나 심지어 단절(short)되게 된다.

<22> 이러한 원하지 않는 접촉 불량 발생을 방지하기 위해서는, 금속 저항(50)이 콘택홀들(27, 29)을 형성하는 과정에서 침식되거나 침해되는 것을 최대한 방지해야 하나 이는 공정 상 실질적으로 매우 어렵다. 더욱이, 금속 저항(50)이 반도체 소자에서 저항으로서 사용되기 위해서는 적어도 수백  $\Omega/\square$  이상의 저항을 나타내어야 하는 데, 이러한 저항을 금속 저항(50)이 구현하기 위해서는 금속 저항(50)을 위한 금속 박막의 두께가 대략 1000Å 이하의 매우 얇은 두께일 필요가 있다.

<23> 그런데, 이와 같이 금속 저항(50)의 두께가 얇아지면 이러한 접촉 불량 발생이 더욱 극심해지게 되므로, 금속 저항(50)의 두께를 매우 얇게 도입하기가 매우 어렵다. 이는 콘택홀(27, 29)이 완전히 오픈(open)되는 것을 보장하기 위해서는 대략 500Å 정도의 추가적인 식각

마진(etch margin)을 확보하는 것이 요구되는 데, 이러한 식각 마진에 의하여 금속 저항(50)의 노출된 부분은 실질적으로 더욱 크게 소실 및 침식되기 때문이다.

<24> 금속 저항(50)의 두께를 얇게 도입하지 못하면 실질적으로 금속 저항(50)으로 높은 저항 값을 구현할 수 없으므로, 상기한 바와 같은 제2콘택(39)과 금속 저항(50)의 연결에서 발생하는 문제는 금속 저항(50)이 실제 반도체 소자에 적용되는 것을 제한하는 제한 요소로 작용한다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명이 이루고자 하는 기술적 과제는, 금속 저항을 금속 배선에 연결시킬 때 연결 콘택의 형성 과정에 의해 금속 저항이 침식 또는 소실되는 것을 방지하여 금속 저항과 연결 콘택 간의 효과적인 연결 상태를 신뢰성있게 구현할 수 있는 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법 및 이에 의한 반도체 소자의 구조를 제공하는 데 있다.

【발명의 구성 및 작용】

<26> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 금속 배선에 전기적으로 연결되는 금속 저항을 포함하는 반도체 소자를 제공한다. 상기 반도체 소자는, 절연층에 의해 둘러싸인 구리층을 포함하는 배선과, 상기 배선을 덮어 보호하는 캡층(capping layer), 및 상기 캡층에 형성된 오프닝창(opening window)을 통해 상기 배선의 상측 표면에 접촉하고 상기 캡층 상으로 연장된 금속 저항을 포함하여 구성될 수 있다.

- <27> 또는, 상기 반도체 소자는, 배선과, 상기 배선을 덮는 절연층과, 상기 절연층을 관통하여 상기 배선에 전기적으로 연결되는 연결 콘택체와, 상기 절연층 상에 연장되고 상기 연결 콘택체에 접촉하는 금속 저항을 포함하여 구성될 수 있다.
- <28> 이때, 상기 금속 저항은 상기 절연층 상에 형성되는 엠아이엠(MIM) 형태의 커패시터의 하부 전극 또는 상부 전극과 동일한 물질로 함께 형성된 것일 수 있다. 절연층에 의해 둘러싸인 구리층을 포함하는 배선;
- <29> 상기의 기술적 과제를 달성하기 위한 본 발명의 다른 일 관점은, 금속 배선에 전기적으로 연결되는 금속 저항을 포함하는 반도체 소자 제조 방법을 제공한다.
- <30> 상기 반도체 소자 제조 방법은, 절연층을 형성하는 단계와, 상기 절연층에 의해 둘러싸인 구리층을 포함하는 하부 배선을 형성하는 단계와, 상기 절연층 상에 상기 하부 배선을 덮어 보호하는 캡층(capping layer)을 형성하는 단계와, 상기 캡층에 상기 하부 배선의 상측 표면을 선택적으로 노출하는 오프닝창(opening window)을 형성하는 단계, 및 상기 캡층 상에 상기 오프닝창을 통해 상기 하부 배선의 상측 표면에 접촉하는 금속 저항을 형성하는 단계를 포함하여 구성될 수 있다.
- <31> 또한, 상기 반도체 소자 제조 방법은, 절연층을 형성하는 단계와, 상기 절연층에 의해 둘러싸인 구리층을 포함하는 제1 및 제2하부 배선들을 형성하는 단계와, 상기 절연층 상에 상기 제1 및 제2하부 배선들을 덮어 보호하는 캡층(capping layer)을 형성하는 단계와, 상기 캡층에 상기 제1하부 배선의 상측 표면을 선택적으로 노출하는 오프닝창(opening window)을 형성하는 단계와, 상기 캡층 상에 상기 오프닝창을 통해 상기 하부 배선의 상측 표면에 접촉하는 금속 저항을 형성하는 단계와, 상기 금속 저항을 덮는 제2절연층을 형성하는 단계, 및 상기 제

2절연층을 관통하여 상기 제2하부 배선에 접촉하는 연결 콘택체 및 상기 연결 콘택체에 전기적으로 연결되는 상부 배선을 형성하는 단계를 포함하여 구성될 수 있다.

<32> 또한, 상기 반도체 소자 제조 방법은, 절연층을 형성하는 단계와, 상기 절연층에 의해 둘러싸인 구리층을 포함하는 제1 및 제2하부 배선들을 형성하는 단계와, 상기 절연층 상에 상기 제1 및 제2하부 배선들을 덮어 보호하는 캡층(capping layer)을 형성하는 단계와, 상기 캡층에 상기 제1하부 배선의 상측 표면을 선택적으로 노출하는 오프닝창(opening window)을 형성하는 단계와, 상기 캡층 상에 상기 오프닝창을 통해 상기 제1하부 배선의 상측 표면에 접촉하도록 엠아이엠(MIM)형 커패시터의 금속 전극을 위한 금속층을 형성하는 단계와, 상기 금속층을 패터닝하여 상기 커패시터의 금속 전극을 형성하며 상기 오프닝창을 통해 상기 제1하부 배선에 접촉하는 금속 저항을 형성하는 단계와, 상기 금속 저항 및 상기 커패시터를 덮는 제2절연층을 형성하는 단계, 및 상기 제2절연층을 관통하여 상기 제2하부 배선에 접촉하는 연결 콘택체 및 상기 연결 콘택체에 전기적으로 연결되는 상부 배선을 형성하는 단계를 포함하여 구성될 수 있다.

<33> 여기서, 상기 하부 배선을 형성하는 단계는 상기 절연층에 트렌치(trench)를 형성하는 단계와, 상기 절연층 상에 상기 트렌치를 채우는 구리층을 형성하는 단계, 및 상기 구리층을 상기 절연층의 상측 표면이 노출되게 평탄화하여 상기 트렌치에 의해 형상이 부여되는 상기 하부 배선을 형성하는 단계를 포함하여 구성될 수 있다.

<34> 또한, 상기 캡층은 실리콘 질화물 및 실리콘 탄화물로 이루어지는 일군의 절연 물질들 중의 어느 하나로 형성될 수 있다. 상기 금속 저항은 티타늄(Ti), 질화 티타늄(TiN), 탄탈륨(Ta), 질화 탄탈륨(TaN) 및 질화 실리콘 탄탈륨(TaSiN)으로 이루어지는 일군의 금속 포함 물질

들 중의 어느 하나로 형성될 수 있다. 상기 연결 콘택체 또는 상기 상부 배선은 구리층을 포함하여 다마신 과정(damascene process)으로 형성될 수 있다.

<35> 한편, 상기 금속 전극은 상기 커패시터의 상부 전극으로 형성될 수 있다.

<36> 이때, 상기 캡층은 상기 커패시터의 유전층으로 사용되기 위해 상기 상부 전극의 하부까지 연장될 수 있다. 상기 연장되는 캡층 아래에 상기 상부 전극에 대향되는 하부 전극을 형성하는 단계를 상기 반도체 소자 제조 방법은 더 포함할 수 있다. 또는, 상기 하부 전극은 상기 제1 및 제2하부 배선이 형성될 때 함께 형성될 수 있다.

<37> 또한, 상기 캡층 상에 상기 상부 전극에 대향되는 하부 전극을 형성하는 단계, 및 상기 하부 전극 상에 유전층을 형성하는 단계를 상기 반도체 소자 제조 방법은 더 포함할 수 있다.

<38> 한편, 상기 금속 전극은 상기 커패시터의 하부 전극으로 형성될 수 있다. 이때, 상기 반도체 소자 제조 방법은 상기 하부 전극 상을 덮는 유전층을 형성하는 단계, 및 상기 유전층 상에 상기 하부 전극에 대향되는 상부 전극을 형성하는 단계를 더 포함할 수 있다.

<39> 또는, 상기 반도체 소자 제조 방법은 절연층을 형성하는 단계와, 상기 절연층에 의해 둘러싸인 구리층을 포함하는 제1, 제2 및 제3하부 배선들을 형성하는 단계와, 상기 절연층 상에 상기 제1, 제2 및 제3하부 배선들을 덮어 보호하는 캡층(capping layer)을 형성하는 단계와, 상기 캡층에 상기 제1하부 배선의 상측 표면을 선택적으로 노출하는 제1오프닝창(opening window)을 형성하는 단계와, 상기 캡층 상에 상기 제1오프닝창을 통해 상기 제1하부 배선의 상측 표면에 접촉하는 하부 전극층을 금속층으로 형성하는 단계와, 상기 하부 전극층을 패터닝하여 엠아이엠(MIM) 커패시터의 하부 전극을 형성하며 상기 제1오프닝창을 통해 상기 제1하부 배선에 접촉하는 제1금속 저항을 형성하는 단계와, 상기 제1금속 저항 및 상기 제1하부 전극을

덮는 유전층을 형성하는 단계와, 상기 유전층 및 하부의 상기 캡층에 상기 제2하부 배선의 상측 표면을 선택적으로 노출하는 제2오프닝창을 형성하는 단계와, 상기 유전층 상에 상기 제2오프닝창을 통해 상기 제2하부 배선의 상측 표면에 접촉하는 상부 전극층을 금속층으로 형성하는 단계와, 상기 상부 전극층을 패터닝하여 상기 하부 전극에 대향되는 상부 전극을 형성하며 상기 제2오프닝창을 통해 상기 제2하부 배선에 접촉하는 제2금속 저항을 형성하는 단계와, 상기 제2금속 저항 및 상기 상부 전극을 덮는 제2절연층을 형성하는 단계, 및 상기 제2절연층을 관통하여 상기 제3하부 배선에 접촉하는 연결 콘택체 및 상기 연결 콘택체에 전기적으로 연결되는 상부 배선을 형성하는 단계를 포함하여 구성될 수 있다.

<40> 또한, 상기 반도체 소자 제조 방법은, 상기 배선을 형성하는 단계와, 상기 배선을 덮는 절연층을 형성하는 단계와, 상기 절연층을 관통하여 상기 배선에 전기적으로 연결되는 연결 콘택체를 형성하는 단계, 및 상기 절연층 상에 상기 연결 콘택체에 접촉하는 금속 저항을 형성하는 단계를 포함하여 구성될 수 있다.

<41> 이때, 상기 연결 콘택체는 구리층을 포함하여 형성될 수 있다. 이 경우, 상기 금속 저항 아래에 상기 연결 콘택을 형성하는 구리층의 표면을 덮어 보호하는 캡층을 형성하는 단계, 및 상기 캡층에 상기 구리층 표면을 노출하는 오프닝창을 형성하는 단계가 더 수행될 수 있다.

<42> 본 발명에 따르면, 금속 배선에 신뢰성있고 안정성있게 연결되는 금속 저항을 구현할 수 있다.

<43> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다

. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<44> 본 발명의 실시예들에서는, 금속 배선이나 연결 콘택을 형성한 후 이에 연결되는 금속 저항을 형성함으로써, 연결 콘택을 위한 콘택홀 또는 비아홀(via hole)을 형성하는 식각 과정에 의해서 금속 저항이 침해 또는 침식, 소실되는 것을 효과적으로 방지할 수 있다. 예를 들면, 배선을 형성하고 그 배선을 덮는 절연층을 형성한 후, 절연층을 관통하여 배선에 전기적으로 연결되는 연결 콘택체를 형성한다. 이후에, 절연층 상에 연결 콘택체에 접촉하는 금속 저항을 형성함으로써, 상기한 바와 같은 금속 저항에의 침해 등을 효과적으로 방지할 수 있다.

<45> 이와 같이, 금속 저항이 침해 또는 침식, 소실되는 것을 방지할 수 있으므로, 금속 저항을 위한 금속 박막을 1000Å 이하의 매우 얇은 두께, 예컨대, 30Å 내지 500Å 정도 두께 또는 그 이하의 두께로 도입하는 것이 가능하다. 이에 따라, 금속 저항이 매우 높은 저항값을 구현할 수 있다.

<46> 제1실시예

<47> 도 5 내지 도 10은 본 발명의 제1실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다. 도 11a 및 도 11b는 금속 저항의 패턴 형상을 설명하기 위해서 개략적으로 도시한 평면도들이다.



- <48> 도 5를 참조하면, 제1절연층(110)을 관통하는 하부 배선들(210, 230)을 형성한다. 제1절연층(110)의 하부에는 도시되지는 않았으나 반도체 소자의 동작을 위한 소자들, 예컨대, 트랜지스터 소자 등이 반도체 기판 상에 구비된다. 이러한 반도체 소자는 아날로그 또는 혼성 신호 등을 처리하도록 SoC화된 반도체 소자일 수 있다.
- <49> 하부 배선들(210, 230)은 구리 배선일 수 있으며, 구리 배선일 경우 다마신 공정을 이용하여 바람직하게 형성된다. 예를 들어, 제1절연층(110)을 형성한 후, 제1절연층(110)에 하부 배선들(210, 230)의 형상을 부여하기 위한 제1트렌치(first trench:111)를 형성하고, 이러한 제1트렌치(111)를 채우도록 구리층을 전기 도금 방법 등으로 형성한다. 이때, 구리층의 하부에는 시드층(seed layer) 및 장벽 금속층 등이 구비될 수 있다. 이후에, 구리층의 전면을 화학 기계적 연마(CMP:Chemical Mechanical Polishing) 등으로 평탄화하여 구리층으로 이루어지는 하부 배선들(210, 230)을 형성할 수 있다.
- <50> 한편, 형성된 하부 배선들(210, 230)은 설명의 편의상 다층 배선 구조에서 상부 배선들에 비아 콘택(via contact)으로 연결될 제2하부 배선(230)과 금속 저항에 연결될 제1하부 배선(210)으로 구분할 수 있다.
- <51> 도 6을 참조하면, 하부 배선들(210, 230)의 노출된 표면을 보호하는 캡층(capping layer:300)을 형성한다. 구리층의 하부 배선들(210, 230)은 구리의 상대적으로 높은 대략  $1.7 \mu\Omega/\mu\text{m}$ 의 높은 전도성에 의해 우수한 전기적 성능을 나타낼 수 있으나, 구리층 자체는 대기 등의 노출에 매우 취약한 특성을 나타내고 있다. 따라서, 구리층으로 형성되는 하부 배선들(210, 230)의 표면은 대기에 노출될 경우 매우 쉽게 산화되거나 또는 오염될 수 있다.
- <52> 이를 방지하기 위해서, 하부 배선들(210, 230)의 표면에 캡층(300)을 도입하여, 하부 배선들(210, 230)의 구리층의 산화 등을 방지한다. 캡층(300)은 실리콘 질화물(SiN) 또는 실리콘

탄화물(SiC) 등과 같은 절연물로 형성될 수 있다. 이때, 캡층(300)은 단순히 하부 배선들(210, 230)의 상측 표면이 대기에 노출되는 것을 방지하는 기능을 하므로 비교적 얇은 두께, 예컨대, 수백 Å 정도 두께로 형성될 수 있다.

<53> 도 7을 참조하면, 캡층(300)을 선택적으로 식각하여 제1하부 배선(210)의 상측 표면을 노출하는 오프닝창(opening window:301)을 형성한다. 이러한 오프닝창(301)은 금속 저항을 제1하부 배선(210)에 연결시키기 위해 도입되므로, 금속 저항에 전기적으로 연결된 제1하부 배선(210)들 상에만 선택적으로 정렬되게 형성된다.

<54> 도 8을 참조하면, 금속 저항층(400)을 형성한다. 오프닝창(301)에 의해서 노출되는 제1하부 배선(210)의 상측 표면에 접촉하는 금속 저항층(400)을 대략 30Å 내지 1000Å 정도 두께로 형성한다. 이러한 금속 저항층(400)은 여러 금속 물질, 예컨대, 티타늄(Ti), 질화 티타늄(TiN), 탄탈륨(Ta), 질화 탄탈륨(TaN), 질화 실리콘 탄탈륨(TaSiN) 등으로 형성될 수 있다. 이러한 금속 저항층(400)은 보다 얇은 두께로 형성될수록 금속 저항이 구현할 수 있는 저항값이 높아질 수 있으므로, 대략 500Å 이하의 두께, 예컨대, 30Å 내지 300Å 정도의 두께로 형성되는 것이 바람직하다. 실질적으로 대략 500Å 이하의 두께로 형성될 경우, 현재까지 사용되고 있는 폴리 실리콘이나 활성 영역을 저항을 이용하는 경우에 구현될 수 있는 저항값보다 상대적으로 높은 저항값을 구현할 수 있다.

<55> 도 9를 참조하면, 금속 저항층(400)을 패터닝하여 금속 저항(400)을 형성한다. 이러한 패터닝 과정은 사진 식각 과정(photolithography and etch process)으로 수행될 수 있어, 금속 저항(400)이 매우 정교한 식각 프로파일을 가질 수 있다. 이러한 사진 식각 과정에서는 경우에 따라 하드 마스크(hard mask)를 도입할 수도 있다. 이와 같이 금속 저항(400)의 패터닝이 사진

식각 과정에 의하여 수행되므로, 금속 저항(400)의 공정 산포가 매우 좋아질 수 있다. 즉, 금속 저항(400)의 패턴 형상은 매우 균일하게 형성될 수 있다.

<56> 또한, 이와 같이 형성되는 금속 저항(400)은 금속 배선을 형성하는 과정에서 수행되므로, 후속 공정에 의해서 영향을 크게 받지 않는다. 이는, 금속 배선 형성 과정 이후에 수행되는 후속 공정은 일반적으로 금속 저항(400)의 패턴의 선평이나 막질에 영향을 미칠 수 있을 정도의 고온 공정을 포함하고 있지 않기 때문이다. 이에 따라, 설계에서 의도한 바에 정확히 부합되는 저항값을 금속 저항(400)이 발현할 수 있어, 정확한 저항 제어가 가능하여 반도체 소자의 저항 매칭 특성을 제고할 수 있고 반도체 소자의 동작 신뢰성을 높일 수 있다.

<57> 도 10을 참조하면, 금속 저항(400)을 덮는 제2절연층(150)을 형성한다. 이후에, 제2절연층(150)을 관통하는 비아 콘택홀(151)을 형성한다. 콘택홀(151)은 제2하부 배선(230) 상에 정렬되게 형성된다. 금속 저항(400)은 이미 제1하부 배선(210)에 연결되었으므로, 이러한 콘택홀(151)은 금속 저항(400) 상에는 정렬될 필요가 없다. 따라서, 콘택홀(151)을 형성하는 식각 과정에 의해서 금속 저항(400)이 침해, 침식 또는 소실되는 것이 방지된다.

<58> 한편, 콘택홀(151)을 위한 식각 과정은 캡층(300) 상에서 종료될 수 있다. 캡층(300)은 상술한 바와 같이 실리콘 질화물 또는 실리콘 탄화물로 형성되는 데, 이들은 바람직한 제2절연층(150)을 이루는 실리콘 산화물과는 높은 식각 선택비를 구현할 수 있는 절연 물질이다. 따라서, 캡층(300)은 콘택홀(151)을 위한 식각 과정에서 식각 저지층으로 작용할 수 있다. 따라서, 도 2 내지 도 4를 참조하여 설명한 바와 같이 식각 저지층을 별도로 추가 도입하는 것이 생략될 수 있다.

- <59> 이와 같이 콘택홀(151)이 형성된 후, 콘택홀(151)을 채우는 콘택체(510)를 형성한다. 콘택체(510)는 구리층 또는 텅스텐층과 같은 금속 물질로 형성될 수 있으며, 실질적으로 구리층으로 형성되는 것이 바람직하다.
- <60> 콘택체(510)를 덮는 제3절연층(190)을 형성한 후, 다마신 공정으로 제2트렌치(191)를 형성하고, 제2트렌치(191)를 채우는 상부 배선(590)을 형성하여 다층 배선 구조를 형성한다. 이때, 상부 배선(590)은 금속, 바람직하게는 하부 배선(210, 230)과 마찬가지로 구리층으로 형성될 수 있다.
- <61> 한편, 금속 저항(400)은 다양한 패턴으로 패터닝되어 원하는 저항값을 실현할 수 있다.
- <62> 도 11a를 참조하면, 금속 저항(451)은 금속 저항(451) 하부에 도입되는 제1하부 배선(210)들에 연결되고, 제1하부 배선(210)들 사이에서는 도 11a에 제시된 바와 같이 직선적인 형상을 가지도록 패터닝될 수 있다. 또는, 도 11b에 제시된 바와 같이 금속 저항(453)은 굴곡진 형상으로 패터닝될 수 있다. 상대적으로 높은 저항값을 구현할 경우에는 도 11b에 제시된 바와 같이 금속 저항(453)이 굴곡진 형상을 가지는 것이 유리하다.
- <63> 제2실시예
- <64> 금속 저항은 별도의 증착 및 패터닝 과정을 필요로 하지 않고, MIM(Metal Insulator Metal) 형태의 커패시터의 상부 전극을 형성하는 과정에 수반되어 형성될 수 있다. 일반적인 반도체 소자 제조 과정 중에는 다층 금속 배선 구조를 형성하는 과정들 사이에 MIM 커패시터를 구현할 수 있다. 따라서, 이러한 MIM 커패시터를 구현하는 과정에서 금속 저항을 구현함으로써, 금속 저항 형성을 위한 추가적인 공정을 별도로 필요하지 않도록 할 수 있다.

- <65> 도 12 내지 도 14는 본 발명의 제2실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.
- <66> 도 12를 참조하면, MIM 커패시터의 상부 전극을 위한 상부 전극층(410)을 캡층(300) 상에 증착한다. 보다 상세하게 설명하면, 도 5 내지 도 7을 참조하여 설명한 바와 마찬가지로 하부 배선들(210, 230)을 제1절연층(110)에 다마신 공정을 이용하여 형성한다. 이때, 커패시터가 요구되는 위치에 하부 배선들(210, 230)과 함께 형성되는 하부 전극(250)을 형성한다. 즉, 하부 배선들(210, 230)을 위한 제1트렌치(111)를 형성하는 과정에서 제3트렌치(115)가 형성되고, 이러한 제1 및 제3트렌치(111, 115)에 구리층이 형성되고 평탄화됨에 따라 하부 배선들(210, 230) 및 하부 전극(250)이 형성된다.
- <67> 이후에, 도 6을 참조하여 설명한 바와 마찬가지로 캡층(300)을 형성하고, 캡층(300)에 오프닝창(301)을 형성한다. 이후에, 오프닝창(301)을 통해 제1하부 배선(210)에 접촉하는 상부 전극층(410)을 캡층(300) 상에 형성한다. 상부 전극층(410)은 다양한 전극 물질로 형성될 수 있다. 예컨대, 상부 전극층(410)은 제1실시예에서의 금속 저항층과 마찬가지로 티타늄(Ti), 질화 티타늄(TiN), 탄탈륨(Ta), 질화 탄탈륨(TaN), 질화 실리콘 탄탈륨(TaSiN) 등으로 형성될 수 있다.
- <68> 도 13을 참조하면, 상부 전극층(410)을 패터닝하여 금속 저항(400)과 상부 전극(411)을 형성한다. 이에 따라, 상부 전극(411)과 하부 전극(250) 사이의 캡층(300) 부분은 실질적으로 커패시터의 유전층으로 이용된다.
- <69> 도 14를 참조하면, 금속 저항(400)과 상부 전극(411)을 덮는 제2절연층(150)을 형성한 후, 도 10을 참조하여 설명한 바와 마찬가지로 콘택체(510), 상부 배선(590) 등을 형성한다.

<70> 제3실시예

<71> 제2실시예에서와는 달리 금속 저항은 MIM 형태의 커패시터의 하부 전극을 형성하는 과정에 수반되어 형성될 수도 있다.

<72> 도 15 내지 도 18은 본 발명의 제3실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<73> 도 15를 참조하면, 도 5 내지 도 7을 참조하여 설명한 바와 마찬가지로 하부 배선들(210, 230)을 제1절연층(110)에 다마신 공정을 이용하여 형성한다. 그리고, 캡층(300)을 마찬가지로 형성한 후, 오프닝창(301)을 통해 제1하부 배선(210)에 접촉하는 하부 전극층(420)을 캡층(300) 상에 형성한다. 하부 전극층(420)은 제1실시예의 금속 저항층과 마찬가지로 형성될 수 있으며 이들 외의 다른 다양한 전극 물질로도 형성될 수 있다.

<74> 도 16을 참조하면, 하부 전극층(420)을 패터닝하여 금속 저항(400)과 하부 전극(421)을 형성한다. 하부 전극(421)은 커패시터가 요구되는 위치에 형성된다.

<75> 도 17을 참조하면, 하부 전극(421)을 덮는 유전층(423)을 반도체 소자의 커패시터에 사용되는 유전 물질로 형성한다. 이후에, 전극 물질을 증착하여 상부 전극층을 형성하고 패터닝하여 상부 전극(425)을 형성한다. 이에 따라, MIM 형태의 커패시터가 형성된다.

<76> 도 18을 참조하면, 상부 전극(425)을 덮는 제2절연층(150)을 형성한 후, 도 10을 참조하여 설명한 바와 같이 제2하부 배선(230)에 전기적으로 연결되는 콘택체(510) 및 상부 배선(590) 등을 형성한다.

<77> 제4실시예

- <78> 제4실시예는 금속 저항은 제2실시예에서와 마찬가지로 MIM 형태의 커패시터의 상부 전극을 형성하는 과정에 수반되되, 제2실시예에서와는 달리 별도의 유전층이 도입되는 경우를 설명한다.
- <79> 도 19 내지 도 22는 본 발명의 제4실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.
- <80> 도 19를 참조하면, 캡층(300) 상에 MIM 커패시터의 하부 전극(431)을 형성한다. 보다 상세하게 설명하면, 도 5 내지 도 7을 참조하여 설명한 바와 마찬가지로 하부 배선들(210, 230, 251)을 제1절연층(110)에 다마신 공정을 이용하여 형성한다. 이때, 커패시터가 요구되는 위치에 제3하부 배선(251)을 앞서 설명한 제1 및 제2하부 배선(210, 230)과 함께 형성할 수 있다. 그리고, 캡층(300)을 도 6을 참조하여 설명한 바와 마찬가지로 형성한다.
- <81> 이후에, 캡층(300)에 제3하부 배선(251)의 상측 표면을 노출하는 제1오프닝창(303)을 형성한다. 이후에, 제1오프닝창(303)을 통해 제3하부 배선(251)에 접촉하는 하부 전극(431)을 다양한 금속 전극 물질로 형성한다. 이후에, 하부 전극(431)을 덮는 유전층(433)을 다양한 유전 물질로 형성한다.
- <82> 도 20을 참조하면, 유전층(431) 및 하부의 캡층(300)을 순차적으로 선택 식각하여 제1하부 배선(210)의 상측 표면을 노출하는 제2오프닝창(301)을 형성한다. 이후에, 유전층(431) 상에 노출된 제1하부 배선(210)에 접촉하는 상부 전극층(430)을 다양한 금속 물질로 형성한다. 이러한 금속 물질은 제1실시예에서의 금속 저항층과 마찬가지로 티타늄(Ti), 질화 티타늄(TiN), 탄탈륨(Ta), 질화 탄탈륨(TaN), 질화 실리콘 탄탈륨(TaSiN) 등을 이용할 수 있다.

- <83> 도 21을 참조하면, 상부 전극층(430)을 패터닝하여 금속 저항(400)과 상부 전극(435)을 형성한다. 이에 따라, 상부 전극(435)과 하부 전극(431) 및 그 사이의 유전층(433)으로 이루어지는 MIM 커패시터가 구현되며, 상부 전극(435)과 동일한 높이 수위(level)에 금속 저항(400)이 구현된다.
- <84> 도 22를 참조하면, 금속 저항(400)과 상부 전극(435)을 덮는 제2절연층(150)을 형성한 후, 도 10을 참조하여 설명한 바와 같이 콘택체(510) 및 상부 배선(590) 등을 형성한다.
- <85> 제5실시예
- <86> 제5실시예는 금속 저항들이 MIM 형태의 커패시터의 하부 및 상부 전극을 형성하는 과정에서 모두 형성되는 경우를 설명한다.
- <87> 도 23은 본 발명의 제5실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.
- <88> 도 23을 참조하면, 도 5 내지 도 7을 참조하여 설명한 바와 마찬가지로 하부 배선들(210, 230, 251, 270)을 제1절연층(110)에 다마신 공정을 이용하여 형성한다. 이때, 커패시터가 요구되는 위치에 제3하부 배선(251)을 앞서 설명한 바와 마찬가지로 제1 및 제2하부 배선(210, 230)과 함께 형성할 수 있다. 또한, 제4하부 배선(270) 또한 앞서 설명한 제1 및 제2하부 배선(210, 230)과 함께 형성할 수 있다. 그리고, 캡층(300)을 도 6을 참조하여 설명한 바와 마찬가지로 형성한다.
- <89> 이후에, 캡층(300)에 제3하부 배선(251)의 상측 표면을 노출하는 제1오프닝창(303)을 형성한다. 제1오프닝창(303)의 형성과 함께 제1하부 배선(210) 상을 노출하는 제2오프닝창(301)을 함께 형성한다. 이후에, 제1오프닝창(303)을 통해 제3하부 배선(251)에 접촉하고 제2오프닝



창(301)을 통해 제1하부 배선(210)에 접촉하는 하부 전극층을 도 17을 참조하여 설명한 바와 마찬가지로 형성한다. 이후에, 하부 전극층을 패터닝하여 제1금속 저항(431')과 하부 전극(431)을 형성한다. 하부 전극(431)을 덮는 유전층(433)을 다양한 유전 물질로 형성한다.

<90> 유전층(433)을 도 20을 참조하여 설명한 바와 마찬가지로 선택적으로 식각하여, 제4하부 배선(270)을 노출하는 제3오프닝창(305)을 형성한다. 이후에, 제3오프닝창(305)을 통해 제4하부 배선(270)에 접촉하는 상부 전극층을 도 20을 참조하여 설명한 바와 마찬가지로 형성한 후, 상부 전극층을 패터닝하여 제2금속 저항(435')과 상부 전극(435)을 형성한다. 이에 따라, 상부 전극(435) 및 하부 전극(431)과 함께 형성되는 2층의 금속 저항들(435', 431')을 형성할 수 있다.

<91> 이후에, 도 22를 참조하여 설명한 바와 마찬가지로, 제2금속 저항(435')과 상부 전극(435)을 덮는 제2절연층(150)을 형성한 후, 도 10을 참조하여 설명한 바와 마찬가지로 콘택체(510) 및 상부 배선(590) 등을 형성한다.

<92> 이제까지의 제2실시에 내지 제5실시예에서는 본 발명의 금속 저항이 MIM 커패시터를 구현하는 과정 중에 함께 형성될 수 있음을 설명하였지만, 본 발명은 다른 형태로도 변형되어 실시될 수도 있다.

<93> 제6실시예

<94> 제6실시예는 금속 저항이 금속 배선의 아래에 도입되는 콘택체들에 직접적으로 연결되도록 형성되는 경우를 설명한다.

- <95> 도 24는 본 발명의 제6실시예에 의한 반도체 소자의 금속 배선에 전기적으로 연결되는 금속 저항을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.
- <96> 도 24를 참조하면, 제1하부 배선(210) 및 제2하부 배선(230)을 도 5를 참조하여 설명한 바와 마찬가지로, 제1절연층(110)에 다마신 공정을 이용하여 형성한다. 제1하부 배선(210)은 금속 저항에 연결되는 위치에 형성된다. 이후에, 도 6을 참조하여 설명한 바와 마찬가지로 캡층을 형성한다. 이때, 캡층은 제1식각 저지층(330)으로도 작용한다. 제1식각 저지층(330) 상에 도 10을 참조하여 설명한 바와 마찬가지로 제2절연층(150)을 형성한다. 다음에, 제2절연층(150)을 관통하는 제1콘택홀(151) 및 제2콘택홀(155)들을 제1식각 저지층(330)을 식각 종료점으로 이용하는 식각 과정으로 형성한다. 이때, 제1콘택홀(151)은 제2하부 배선(230)을, 제2콘택홀(155)은 제1하부 배선(210)을 노출하게 된다.
- <97> 이후에, 콘택홀들(151, 155)들을 각각 채우는 제1콘택체(510) 및 제2콘택체(515)를 동시에 형성한다. 이때, 콘택체들(510, 515)은 텅스텐층 등과 같은 금속층으로 이루어질 수 있다. 그러나, 구리층으로 콘택체들(510, 515)을 형성할 경우, 도 6 내지 도 7을 참조하여 설명한 바와 마찬가지로 캡층(도 6의 300) 등을 도입한 후 오프닝창(도 7의 301)을 형성하는 과정들이 도입될 수 있다.
- <98> 이후에, 제2절연층(150) 상에 금속 저항층을 다양한 금속 물질, 예컨대, 티타늄(Ti), 질화 티타늄(TiN), 탄탈륨(Ta), 질화 탄탈륨(TaN), 질화 실리콘 탄탈륨(TaSiN) 등으로 형성한다. 이후에, 금속 저항층을 패터닝하여 상기 제2콘택체들(515)에 직접적으로 연결되는 금속 저항(400)을 형성한다. 만일, 캡층(도 6의 300)이 도입될 경우에는 도 8을 참조하여 설명한 바와 마찬가지로 오프닝창(도 7의 301)을 통해서 제2콘택체들(515)에 금속 저항(400)이 직접적으로 접촉된다.

<99> 다음에, 제1콘택체(510)를 적어도 덮는 제2식각 저지층(350)을 형성한다. 이러한 제2식각 저지층(350)은 실리콘 질화물 등과 같이 후속되는 제3절연층을 바람직하게 이루는 실리콘 산화물과 충분한 식각 선택비를 구현할 수 있는 절연 물질로 형성되는 것이 바람직하다.

<100> 다음에, 제2식각 저지층(350) 상에 제3절연층(190)을 도 10을 참조하여 설명한 바와 마찬가지로 형성한다. 이후에, 제3절연층(190)에 트렌치(191)를 제1콘택체(510)에 정렬되게 형성한다. 이때, 트렌치(191)를 위한 식각 과정은 제2식각 저지층(350)을 식각 종료점으로 하여 수행된다. 이후에, 식각 과정을 계속하여 노출된 제2식각 저지층(350) 부분을 제거한 후, 노출되는 제1콘택체(510)에 접촉하는 상부 배선(590)을 도 10을 참조하여 설명한 바와 마찬가지로 형성한다.

<101> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

#### 【발명의 효과】

<102> 상술한 본 발명에 따르면, 금속 저항을 금속 배선들 또는 연결 콘택들에 연결되도록 구현할 때, 금속 저항이 식각 공정 등에 의해서 침식되거나 소실되는 것을 방지하거나 최대한 억제할 수 있다.

<103> 이에 따라, 금속 저항과 금속 배선들 간의 전기적 연결의 신뢰성 및 안정성을 크게 제고할 수 있다. 이로 인해, 금속 저항의 두께를 매우 얇은 두께, 예컨대, 200Å 내지 300Å의 매우 얇은 두께로 구현하는 것이 가능하여, 금속 저항이 구현하는 저항값을 매우 높일 수 있다.



- <104> 이에 따라, 폴리 실리콘 저항 등을 금속 저항이 대체할 수 있도록 허용할 수 있다. 매우 넓은 면적을 수동 소자에 할당하고 있는 높은 신호 해상도를 요구하는 반도체 소자에 금속 저항을 도입하는 것이 가능하여 수동 소자가 차지하는 면적을 크게 줄일 수 있다.
- <105> 더욱이, 금속 저항은 배선 구조를 구현하는 과정에서 구현되므로, 구현된 후 그 특성 변화가 거의 발생되지 않는다. 이는 반도체 소자 제조 공정에서 배선 구조 형성 후에는 상대적으로 매우 높은 열 공정이 수반되지 않는 데 주로 기인한다. 이에 따라, 설계에 정확하게 부합되는 저항값들을 구현할 수 있고, 아날로그 소자의 구현에서 문제되는 매칭(matching) 특성 문제를 해결할 수 있다.

【특허청구범위】

【청구항 1】

절연층에 의해 둘러싸인 구리층을 포함하는 배선;

상기 배선을 덮어 보호하는 캡층(capping layer); 및

상기 캡층에 형성된 오프닝창(opening window)을 통해 상기 배선의 상측 표면에 접촉하고 상기 캡층 상으로 연장된 금속 저항을 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제1항에 있어서,

상기 금속 저항은 티타늄(Ti), 질화 티타늄(TiN), 탄탈륨(Ta), 질화 탄탈륨(TaN) 및 질화 실리콘 탄탈륨(TaSiN)으로 이루어지는 일군의 금속 포함 물질들 중의 어느 하나를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 3】

제2항에 있어서,

상기 금속 저항은 대략 30Å 내지 1000Å 두께를 가지는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 4】

제1항에 있어서,

상기 캡층은 실리콘 질화물 및 실리콘 탄화물로 이루어지는 일군의 절연 물질들 중의 어느 하나를 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 5】

배선;

상기 배선을 덮는 절연층;

상기 절연층을 관통하여 상기 배선에 전기적으로 연결되는 연결 콘택체; 및

상기 절연층 상에 연장되고 상기 연결 콘택체에 접촉하는 금속 저항을 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 6】

절연층에 의해 둘러싸인 구리층을 포함하는 배선;

상기 절연층 상에 하부 전극, 유전층 및 상부 전극을 포함하여 형성된 엠아이엠(MIM)형 커패시터;

상기 배선을 덮어 보호하는 캡층(capping layer); 및

상기 캡층에 형성된 오픈닝창(opening window)을 통해 상기 배선의 상측 표면에 접촉하고 상기 캡층 상으로 연장되고 상기 하부 전극 또는 상기 상부 전극과 동일한 물질로 형성된 금속 저항을 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제6항에 있어서,

상기 캡층은 상기 상부 전극 아래로 연장되어 상기 유전층으로 이용되거나 상기 하부 전극 아래로 연장되는 것을 특징으로 하는 반도체 소자.

【청구항 8】

절연층에 의해 둘러싸인 구리층을 포함하는 배선;

상기 절연층에 의해 둘러싸인 하부 전극;

상기 배선 및 상기 하부 전극을 덮는 캡층(capping layer);

엠아이엠 커패시터를 구성하기 위해 상기 캡층을 사이에 두고 상기 하부 전극과 대향되게 형성된 상부 전극; 및

상기 캡층에 형성된 오프닝창(opening window)을 통해 상기 배선의 상측 표면에 접촉하고 상기 캡층 상으로 연장되고 상기 상부 전극과 동일한 물질로 형성된 금속 저항을 포함하는 것을 특징으로 하는 반도체 소자.

#### 【청구항 9】

절연층을 형성하는 단계;

상기 절연층에 의해 둘러싸인 구리층을 포함하는 하부 배선을 형성하는 단계;

상기 절연층 상에 상기 하부 배선을 덮어 보호하는 캡층(capping layer)을 형성하는 단계;

상기 캡층에 상기 하부 배선의 상측 표면을 선택적으로 노출하는 오프닝창(opening window)을 형성하는 단계; 및

상기 캡층 상에 상기 오프닝창을 통해 상기 하부 배선의 상측 표면에 접촉하는 금속 저항을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 10】

제9항에 있어서, 상기 하부 배선을 형성하는 단계는

상기 절연층에 트렌치(trench)를 형성하는 단계;

상기 절연층 상에 상기 트렌치를 채우는 구리층을 형성하는 단계; 및



상기 구리층을 상기 절연층의 상측 표면이 노출되게 평탄화하여 상기 트렌치에 의해 형상이 부여되는 상기 하부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 11】

제9항에 있어서,

상기 캡층은 실리콘 질화물 및 실리콘 탄화물로 이루어지는 일군의 절연 물질들 중의 어느 하나로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 12】

제9항에 있어서,

상기 금속 저항은 티타늄(Ti), 질화 티타늄(TiN), 탄탈륨(Ta), 질화 탄탈륨(TaN) 및 질화 실리콘 탄탈륨(TaSiN)으로 이루어지는 일군의 금속 포함 물질들 중의 어느 하나로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 13】

절연층을 형성하는 단계;

상기 절연층에 의해 둘러싸인 구리층을 포함하는 제1 및 제2하부 배선들을 형성하는 단계;

상기 절연층 상에 상기 제1 및 제2하부 배선들을 덮어 보호하는 캡층(capping layer)을 형성하는 단계;

상기 캡층에 상기 제1하부 배선의 상측 표면을 선택적으로 노출하는 오픈닝창(opening window)을 형성하는 단계;





상기 캡층 상에 상기 오프닝창을 통해 상기 하부 배선의 상측 표면에 접촉하는 금속 저항을 형성하는 단계;

상기 금속 저항을 덮는 제2절연층을 형성하는 단계; 및

상기 제2절연층을 관통하여 상기 제2하부 배선에 접촉하는 연결 콘택체 및 상기 연결 콘택체에 전기적으로 연결되는 상부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 14】

제13항에 있어서,

상기 연결 콘택체 또는 상기 상부 배선은 구리층을 포함하여 다마신 과정(damascene process)으로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 15】

절연층을 형성하는 단계;

상기 절연층에 의해 둘러싸인 구리층을 포함하는 제1 및 제2하부 배선들을 형성하는 단계;

상기 절연층 상에 상기 제1 및 제2하부 배선들을 덮어 보호하는 캡층(capping layer)을 형성하는 단계;

상기 캡층에 상기 제1하부 배선의 상측 표면을 선택적으로 노출하는 오프닝창(opening window)을 형성하는 단계;

상기 캡층 상에 상기 오프닝창을 통해 상기 제1하부 배선의 상측 표면에 접촉하도록 엠아이엠(MIM)형 커패시터의 금속 전극을 위한 금속층을 형성하는 단계;

상기 금속층을 패터닝하여 상기 커패시터의 금속 전극을 형성하며 상기 오프닝창을 통해 상기 제1하부 배선에 접촉하는 금속 저항을 형성하는 단계;

상기 금속 저항 및 상기 커패시터를 덮는 제2절연층을 형성하는 단계; 및

상기 제2절연층을 관통하여 상기 제2하부 배선에 접촉하는 연결 콘택체 및 상기 연결 콘택체에 전기적으로 연결되는 상부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 16】

제15항에 있어서,

상기 금속 전극은 상기 커패시터의 상부 전극으로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 17】

제16항에 있어서,

상기 캡층은 상기 커패시터의 유전층으로 사용되기 위해 상기 상부 전극의 하부까지 연장되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 18】

제17항에 있어서,

상기 연장되는 캡층 아래에 상기 상부 전극에 대향되는 하부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 19】

제18항에 있어서,

상기 하부 전극은 상기 제1 및 제2하부 배선이 형성될 때 함께 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 20】

제17항에 있어서,

상기 캡층 상에 상기 상부 전극에 대향되는 하부 전극을 형성하는 단계; 및

상기 하부 전극 상에 유전층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 21】

제16항에 있어서,

상기 금속 전극은 상기 커패시터의 하부 전극으로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 22】

제21항에 있어서,

상기 하부 전극 상을 덮는 유전층을 형성하는 단계; 및

상기 유전층 상에 상기 하부 전극에 대향되는 상부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 23】

절연층을 형성하는 단계;



상기 절연층에 의해 둘러싸인 구리층을 포함하는 제1, 제2 및 제3하부 배선들을 형성하는 단계;

상기 절연층 상에 상기 제1, 제2 및 제3하부 배선들을 덮어 보호하는 캡층(capping layer)을 형성하는 단계;

상기 캡층에 상기 제1하부 배선의 상측 표면을 선택적으로 노출하는 제1오프닝창(opening window)을 형성하는 단계;

상기 캡층 상에 상기 제1오프닝창을 통해 상기 제1하부 배선의 상측 표면에 접촉하는 하부 전극층을 금속층으로 형성하는 단계;

상기 하부 전극층을 패터닝하여 엠아이엠(MIM) 커패시터의 하부 전극을 형성하며 상기 제1오프닝창을 통해 상기 제1하부 배선에 접촉하는 제1금속 저항을 형성하는 단계;

상기 제1금속 저항 및 상기 제1하부 전극을 덮는 유전층을 형성하는 단계;

상기 유전층 및 하부의 상기 캡층에 상기 제2하부 배선의 상측 표면을 선택적으로 노출하는 제2오프닝창을 형성하는 단계;

상기 유전층 상에 상기 제2오프닝창을 통해 상기 제2하부 배선의 상측 표면에 접촉하는 상부 전극층을 금속층으로 형성하는 단계;

상기 상부 전극층을 패터닝하여 상기 하부 전극에 대향되는 상부 전극을 형성하며 상기 제2오프닝창을 통해 상기 제2하부 배선에 접촉하는 제2금속 저항을 형성하는 단계;

상기 제2금속 저항 및 상기 상부 전극을 덮는 제2절연층을 형성하는 단계; 및

상기 제2절연층을 관통하여 상기 제3하부 배선에 접촉하는 연결 콘택체 및 상기 연결 콘택체에 전기적으로 연결되는 상부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 24】

배선을 형성하는 단계;

상기 배선을 덮는 절연층을 형성하는 단계;

상기 절연층을 관통하여 상기 배선에 전기적으로 연결되는 연결 콘택체를 형성하는 단계; 및

상기 절연층 상에 상기 연결 콘택체에 접촉하는 금속 저항을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 25】

제24항에 있어서,

상기 연결 콘택체는 구리층을 포함하여 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 26】

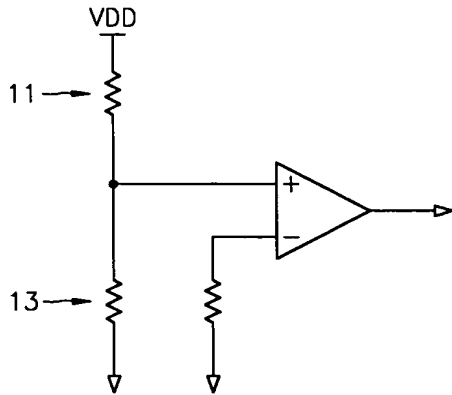
제25항에 있어서,

상기 금속 저항 아래에 상기 연결 콘택을 형성하는 구리층의 표면을 덮어 보호하는 캡층을 형성하는 단계; 및

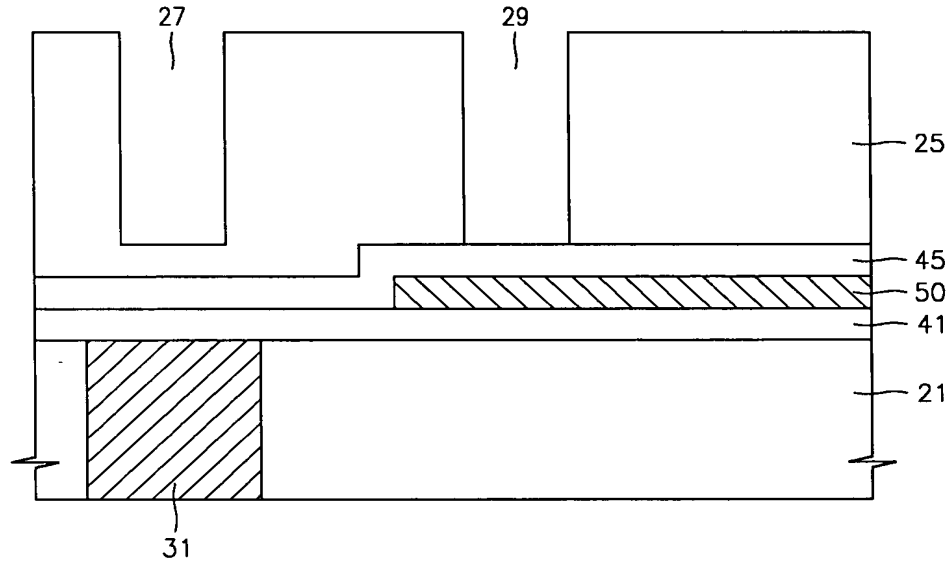
상기 캡층에 상기 구리층 표면을 노출하는 오프닝창을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【도면】

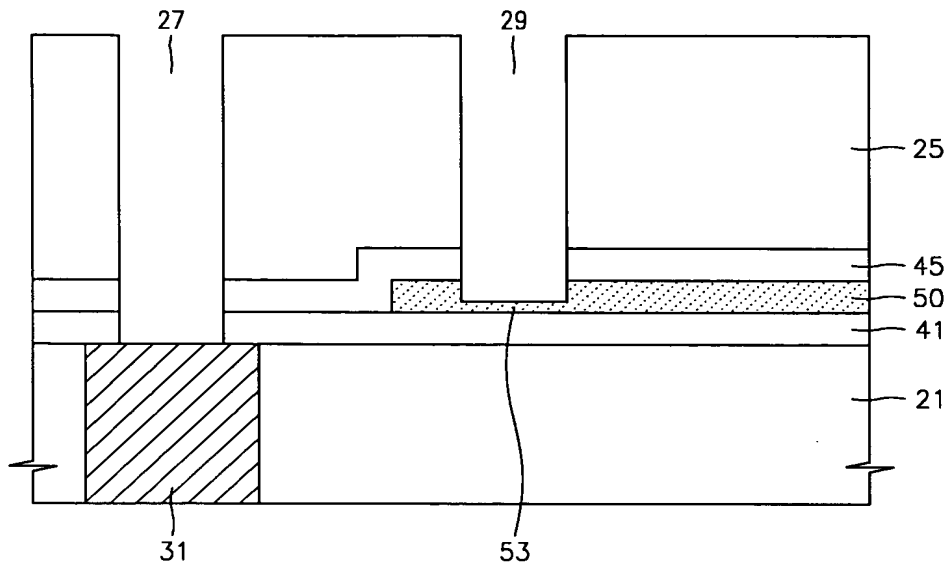
【도 1】



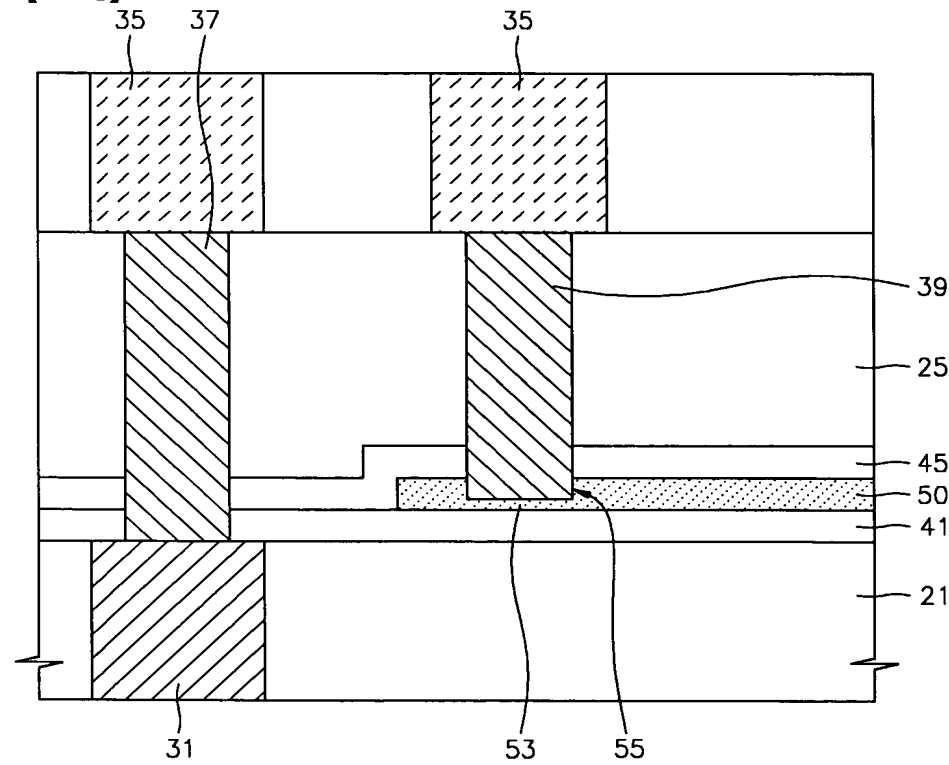
【도 2】



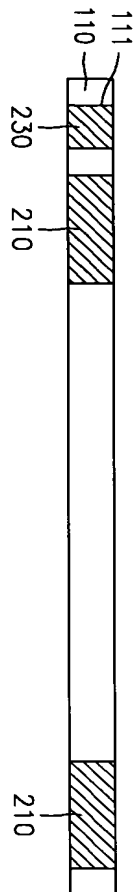
【도 3】



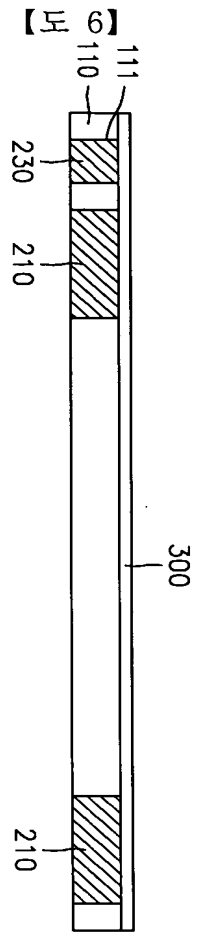
【도 4】



【도 5】

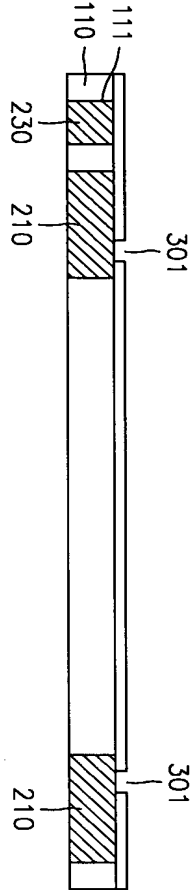






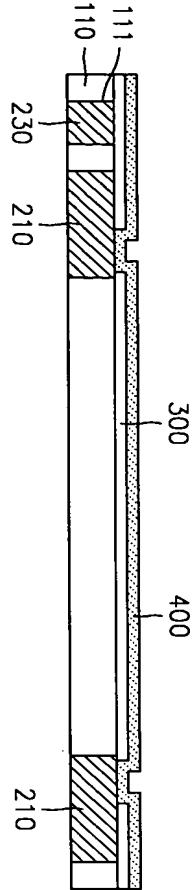


【도 7】





【도 8】

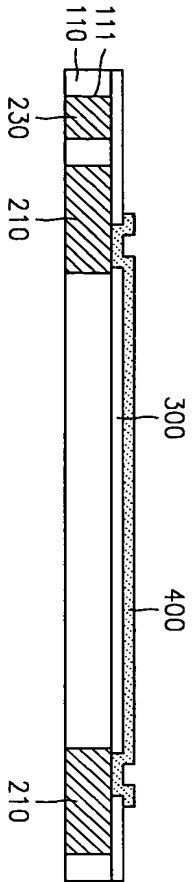




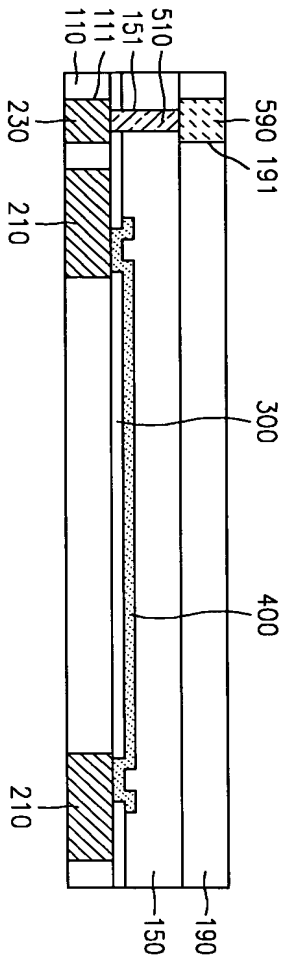
1020030030510

출력 일자: 2003/11/12

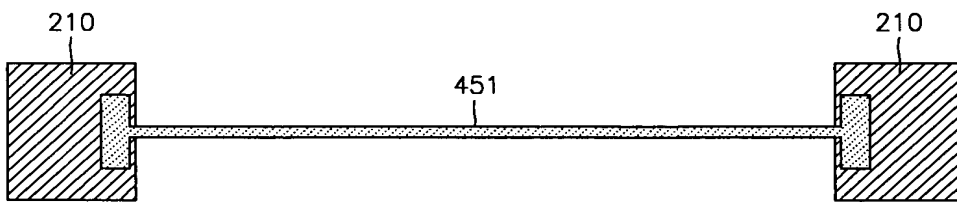
【도 9】



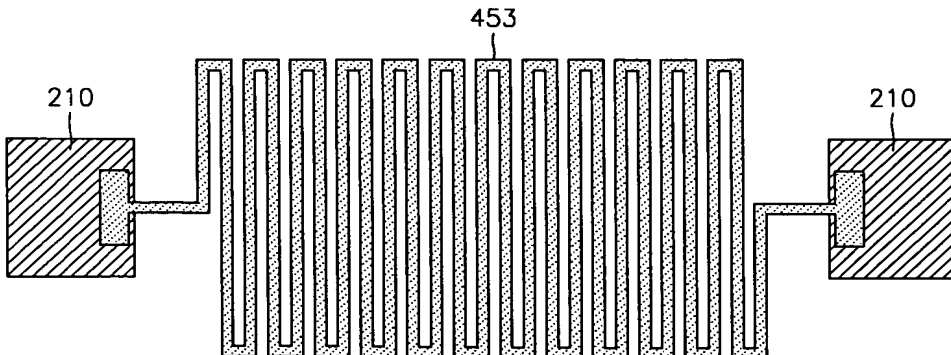
【도 10】

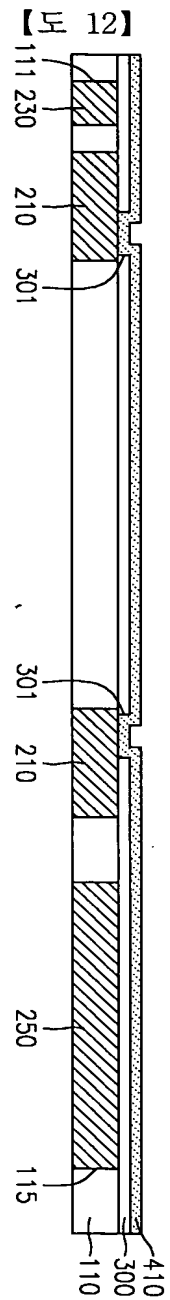


【도 11a】



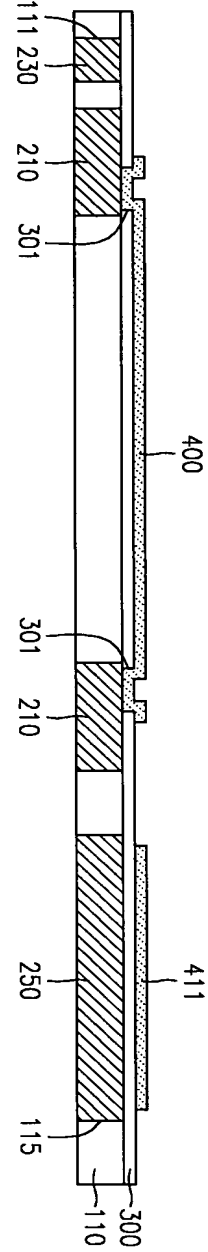
【도 11b】





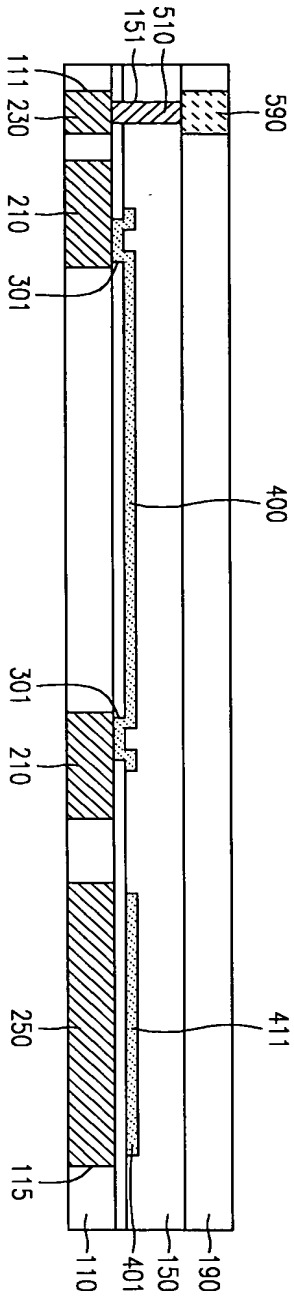


【도 13】





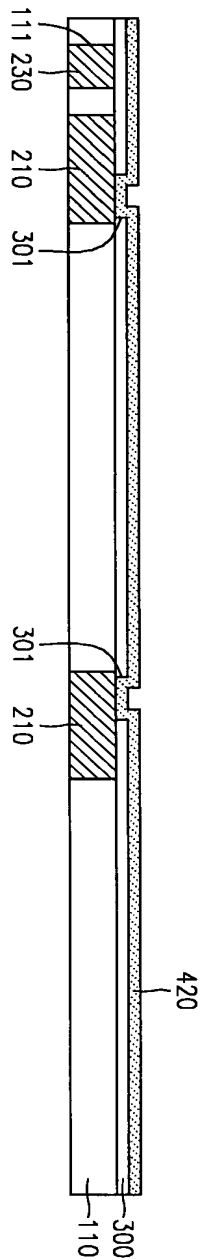
【도 14】





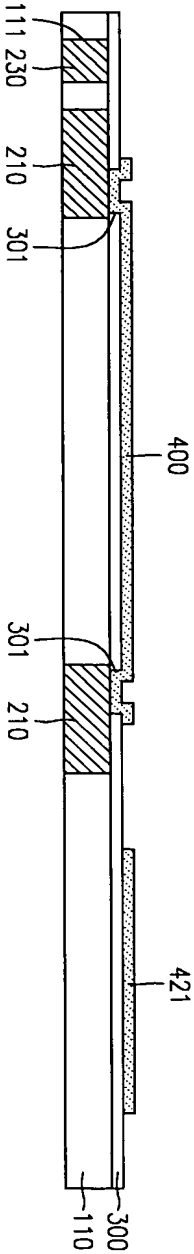


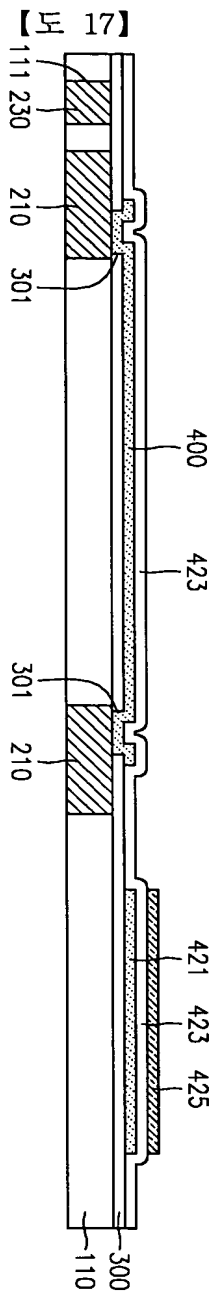
【도 15】





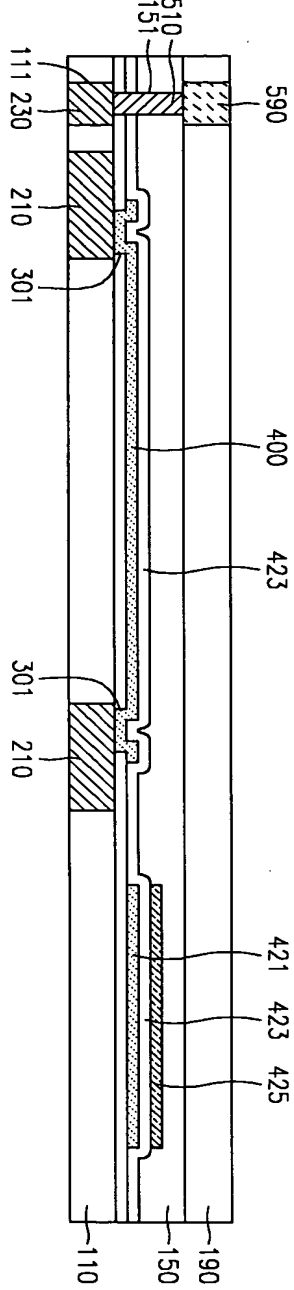
【도 16】





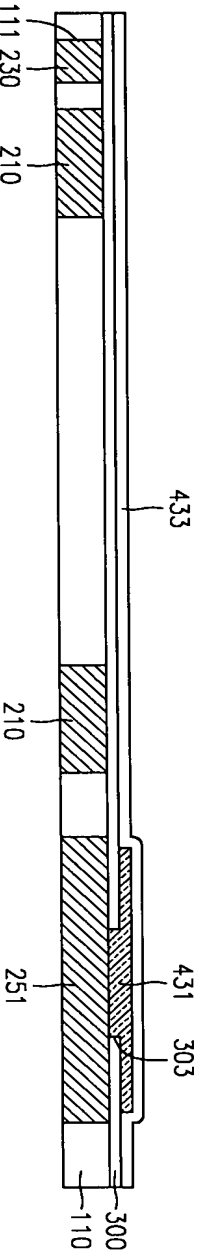


【도 18】



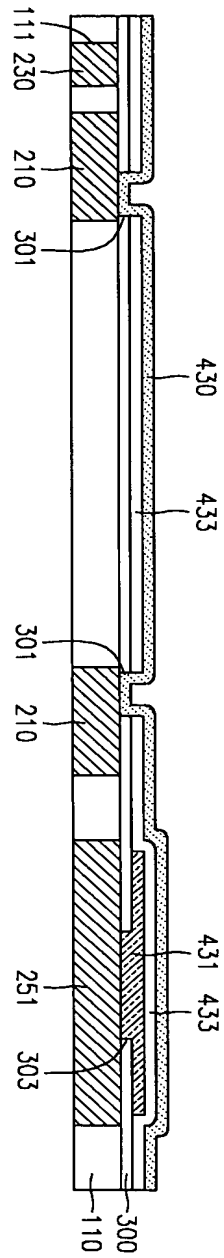


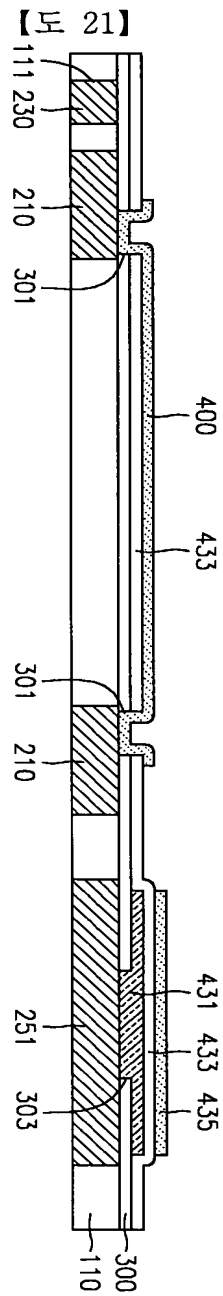
【도 19】





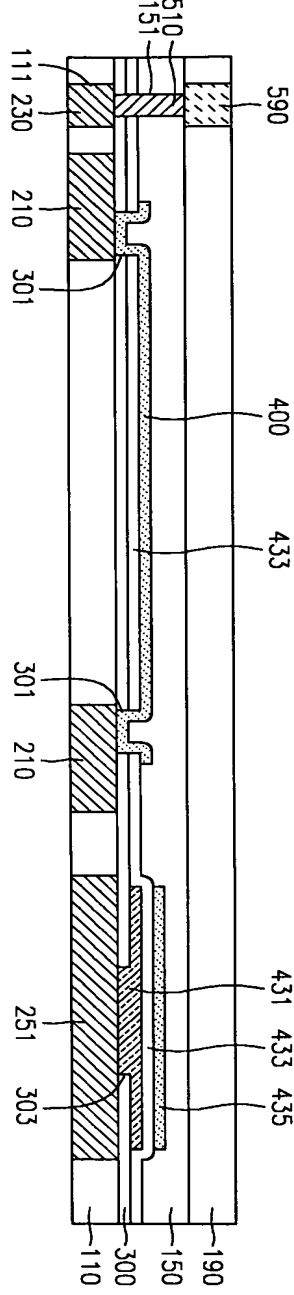
【도 20】







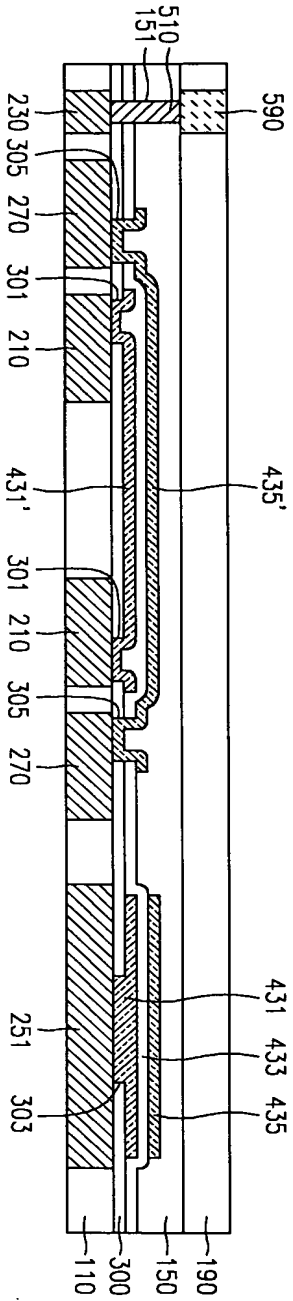
【도 22】







【도 23】





【도 24】

